

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-007149

(43)Date of publication of application : 14.01.1987

(51)Int.Cl.

H01L 27/10
G11C 11/34

(21)Application number : 60-144563

(71)Applicant : AGENCY OF IND SCIENCE &
TECHNOL

(22)Date of filing : 03.07.1985

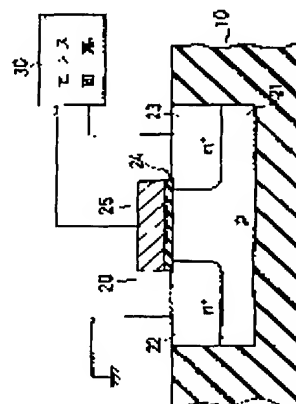
(72)Inventor : KATO KOICHI

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To provide memory function in an MOS transistor itself by controlling the amplitude and timing of a voltage applied to the gate and drain of an MOS transistor formed on an insulator.

CONSTITUTION: An N-type impurity is doped in a P-type silicon layer 21 formed on an insulator 10 to form source and drain regions 22, 23, a gate electrode 25 is formed through a gate oxide film 24, thereby forming an N-type MOS transistor 20. The layer 21 is formed by single crystallizing the silicon film after polycrystalline or amorphous silicon film is formed on the insulator 10 such as SiO₂ film. The source 22 of the transistor 20 is grounded, and a drain 23 and a gate 25 are connected with a sensing circuit 30. The circuit 30 writes and reads out memory information of the transistor 20 to control the amplitude and timing of the voltage applied to the gate and drain.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑨ 特許出願公開

⑨ 公開特許公報(A)

昭62-7149

④ Int. Cl.

識別記号

庁内整理番号

③ 公開 昭和62年(1987)1月14日

H 01 L 27/10
G 11 C 11/346655-5F
7230-5B

審査請求 有 発明の数 1 (全4頁)

⑥ 発明の名称 半導体記憶装置

⑦ 特 願 昭60-144563

⑧ 出 願 昭60(1985)7月3日

⑥ 発 明 者 加 藤 弘 一 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑦ 出 願 人 工 業 技 術 院 長

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1) 電気的に浮遊している一導電型の半導体層の両側に該半導体層とは逆導電型の不純物質からなるソース・ドレインを形成し、且つ上記半導体層上に絶縁膜を介してゲート電極を形成してなるMOSトランジスタと、このトランジスタにゲート電圧及びドレイン電圧を印加したのち、読み込むべき情報に応じてゲート電圧、ドレイン電圧の両方又はドレイン電圧、ゲート電圧の順に印加電圧を導出しチャネル領域の多数キャリア数を制御する書き込み手段と、上記MOSトランジスタのコンダクタンスの変化を検出して上記書き込まれた情報を検出す検出し手段とを具備してなることを特徴とする半導体記憶装置。

(2) 上記MOSトランジスタを形成する半導体層は、絶縁体上に形成されたものであることを特徴とする特許請求の範囲第1項記載の半導体記憶装

置。

(3) 前記書き込み時にドレインに印加する電圧はインパクトイオン化が生じる程度のドレイン電圧であり、前記検出し時にドレインに印加する電圧はインパクトイオン化が生じない程度のドレイン電圧であることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

3. 発明の詳細な説明

(発明の技術分野)

本発明は、半導体記憶装置に係わり、特に絶縁体上の半導体層中に形成されるMOSトランジスタを用いた半導体記憶装置に関する。

(発明の技術的意義とその問題点)

周知の如く、従来のように半導体層中に形成される素子を微細化してこれを高集積化・高速化するには限界がある。また、ダイナミックメモリの記憶素子は、通常1個のMOSトランジスタと1個のMOSキャパシタとで形成されるが、キャパシタの容量を小さくすることには限界があり、この問題を克服する限りにおいては集積度の向上を望

特開昭62-7149 (2)

ひのは殆ど不可能に近くなっている。

(発明の目的)

本発明は上記事情を考慮してなされたもので、その目的とするところは、絶縁上に形成されるMOSトランジスタを利用して、より小さなダイナミックメモリの素子構造を実現することができ、高集積化及び高速化をはかり得る半導体記憶装置を提供することにある。

(発明の概要)

本発明の素子は、1個のMOSトランジスタで1つのメモリ素子を実現することにより、絶縁体上に形成されるMOSトランジスタのゲート及びドレインに印加する電圧の大きさとタイミングとを制御することにより、MOSトランジスタ自体に記憶機能を持たせることにある。

即ち本発明は、情報の書き込み及び読出しを行う半導体記憶装置において、電気的に存在している導電型の半導体膜の両側に該半導体膜とは逆導電型の不純物層からなるソース・ドレインを形成し、且つ上記半導体膜上に絶縁膜を介してゲート

電圧を形成してなるMOSトランジスタと、このトランジスタにゲート電圧及びドレイン電圧を印加したのち、書き込むべき情報に応じてゲート電圧、ドレイン電圧の順成いはドレイン電圧、ゲート電圧の順に印加電圧を零にしチャネル領域の多数キャリア段を制御する書き込み手段と、上記MOSトランジスタのコンダクタンスの変化を検出して上記書き込まれた情報を検出す読出し手段とを設けるようにしたものである。

(発明の効果)

本発明によれば、1個のMOSトランジスタで1個のメモリ素子を実現できるので、従来の構造に比べて素子の占有面積が小さくなる。このため、高集積・高速の半導体記憶装置を実現することができる。また、1個のMOSトランジスタで1個のメモリ素子を実現できるので、その構造が簡単となり、製造の容易化をはかり得る等の利点もある。

(発明の実施例)

以下、本発明の詳細を図示の実施例によって説

明する。

第1図は本発明の一実施例に係わる半導体記憶装置を示す略略構成図である。絶縁体10上に形成されたP型シリコン膜21にN型不純物をドーピングしてソース・ドレイン領域22、23を形成し、さらにゲート酸化膜24を介してゲート電極25を形成して、チャネル長1.2[μ m]のN型MOSトランジスタ20が形成されている。ここで、シリコン膜21は、例えばSiO₂膜等の絶縁体10上に多結晶や非晶質のシリコン膜を形成した後、このシリコン膜をビームアニールにより単結晶化して形成される。また、単結晶化したシリコン膜の素子形成領域以外を酸化して素子分離用酸化膜が形成されるものとなっている。上記MOSトランジスタ20のソース22は接続され、ドレイン23及びゲート25はセンス回路30に接続されている。センス回路30は、MOSトランジスタ20の記憶情報の書き込み及び読出しを行うもので、ゲート及びドレインに印加する電圧の大きさとタイミングとを制御するもの

となっている。

ここで、センス回路30は、情報の書き込み時に印加タイミングに2つのモードを有する。第1のモードは、第2図(a)に示す如くゲート及びドレインにしきい値電圧程度の電圧(5V)をそれぞれ印加したのち、ゲート電圧Gをゼロにし、その100psec後にドレイン電圧Dをゼロにするモードである。第2のモードは、第2図(b)に示す如くドレイン電圧Dをゼロにし、その100psec後にゲート電圧Gをゼロにするモードである。また、情報の読出し時には、ドレインにインパクトイオン化の生じない程度の電圧(2.5V)を印加し、ゲートにしきい値程度の電圧を印加する。そして、このとき現れる電流からMOSトランジスタ20に書き込まれた情報を検出するものとなっている。

なお、上記のMOSトランジスタ20は通常の半導体メモリ素子と同様に、マトリックス状に配列し、ゲート及びドレインをそれぞれワード線及びビット線等に接続することにより、記憶回路と

特開昭62-7149 (B)

して機能するものとなっている。

次に、上記構成された本装置の作用について説明する。

まず、MOSトランジスタ20のソース電圧を0Vとし、ゲート及びドレインにそれぞれ5Vの電圧を印加する。このとき、第3図(a)に示す如くチャネルを形成する電子濃度が高くなり、正孔はシリコン層21の下部に押込まれ、絶対量も減少する。また、ドレイン電圧が高いため、ドレイン近傍でインバクティオン化により発生した正孔が絶えずソース近傍で再結合する。

そこで、ゲート電圧を0Vにすると、シリコン層21の基板電位が急激に下がり、第3図(b)に示す如くチャネルを形成していた電子は主としてドレイン方向に激しく流れる。この時、ドレイン側の接合領域で激しいインバクティオン化が起り、発生した正孔がシリコン層21に蓄積する。ゲート電圧を0Vにした後の100psec後にドレイン電圧を0Vにすると、平衡状態に近い状態が実現される。

電流が流れる。これに対し、シリコン層21が非平衡状態(第3図(c)に示す状態)にある場合は、第4図(b)に示す如く、同じ電圧を印加しても正孔の量が少ないため、基板電位が低くドレイン流は殆ど流れない。

以上のようにすれば、シリコン層21内に正孔が十分蓄積しているか否かの2種類の情報を見分けることができることになる。

かくして本実施例によれば、MOSトランジスタ20に記憶素子の機能を持たせることができる。即ち、1個のMOSトランジスタ20から1個のメモリセルを実現することができる。このため、従来の1トランジスタ/1キャパシタからなるメモリセルを用いたものに比較して、より高集積化及び高速度をはかり得る。また、素子構造が簡単であるため、容易に製造できる等の利点もある。

なお、本発明は上述した実施例に限定されるものではない。例えば、前記MOSトランジスタはN型に用いるものではなく、P型であってもよい。さらに、シリコン層はSiO₂等の非晶質絶縁体

これに対して、第3図(a)の状態よりドレイン電圧を0Vにし、その100psec後にゲート電圧を0Vにすると、第3図(c)に示す如くチャネルを形成していた電子はソース・ドレインの両方向に流れ出す。しかし、ソース・ドレイン共に0Vであるため、電位勾配が小さく、インバクティオン化は殆ど起こらない。そこで、電子が流れ出してしまったシリコン層は正孔が過少な非平衡状態となる。

以上のように、シリコン層中に正孔を十分蓄積するか、或いは正孔過少の状態にするかの2つの方向を選択することにより、MOSトランジスタ20に記憶素子としての蓄込み機能を果たせることができる。

さて、読み出し時には、インバクティオン化が生じない程度のドレイン電圧を印加する。シリコン層21が平衡状態に近い状態(第3図(b)に示す状態)では、しきい値程度のゲート電圧を印加すると、第4図(a)に示す如くシリコン層21の正孔量が多く、オーバーシュートによりドレイン

上に形成されたもの(SOI)ではなく、サファイア等の単結晶絶縁体上に形成された(SOS)層であってもよい。また、MOSトランジスタのゲート及びドレイン等に印加するバイアス条件等も、使用するMOSトランジスタの特性に応じて適宜変更可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

4. 図面の簡単な説明

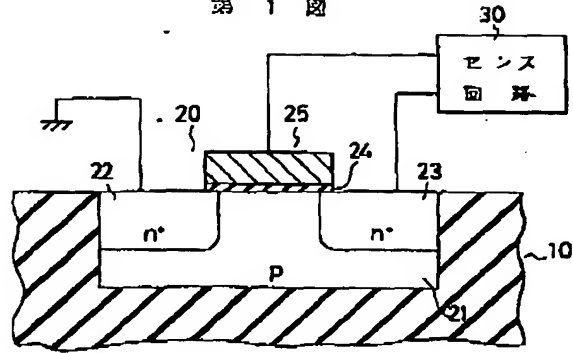
第1図は本発明の一実施例に係わる半導体記憶装置を示す概略構成図、第2図(a)(b)は上記装置に用いたセンス回路の作用を説明するための信号波形図、第3図(a)~(c)は蓄込み作用を説明するための模式図、第4図(a)(b)は読み出し作用を説明するための模式図である。

10…絶縁体、20…NチャネルMOSトランジスタ、21…P型シリコン層、22…ソース、23…ドレイン、24…ゲート酸化膜、25…ゲート電極、30…センス回路。

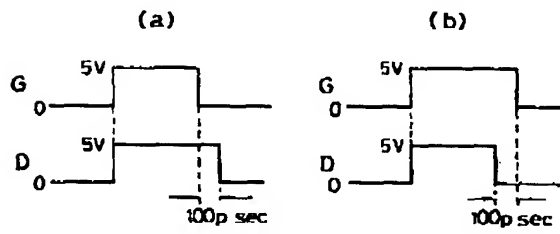
出願人 工業技術院長 等々力 達

特開昭62-7149(4)

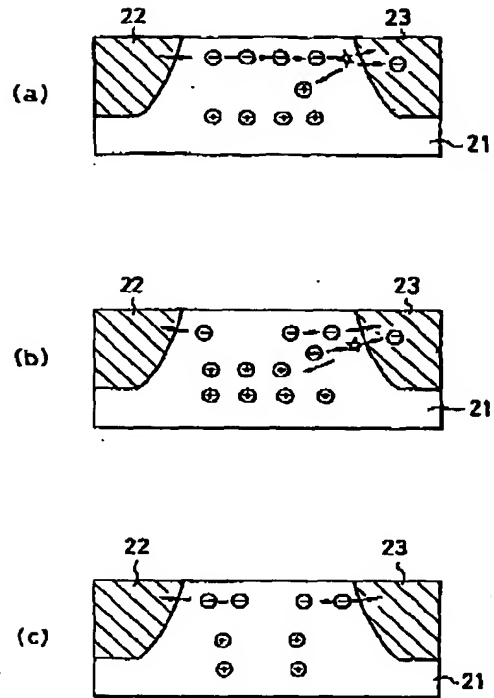
第 1 図



第 2 図



第 3 図



第 4 図

